

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑪ 公開特許公報 (A) 昭64-29173

⑫ Int.Cl.

H 04 N 3/32

識別記号

厅内整理番号

6668-5C

⑬ 公開 昭和64年(1989)1月31日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 速度変調用信号発生回路

⑮ 特願 昭62-186245

⑯ 出願 昭62(1987)7月24日

⑰ 発明者 藤田 正明	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 発明者 田中 正信	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 発明者 坂下 博彦	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 発明者 山口 南海夫	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑯ 出願人 松下電器産業株式会社	大阪府門真市大字門真1006番地	
⑯ 代理人 弁理士 中尾 敏男	外1名	

## 明細書

## 1. 発明の名称

速度変調用信号発生回路

## 2. 特許請求の範囲

第1のデジタル信号とを一定時間遅延させる遅延回路と、前記第1のデジタル信号をアナログ信号に変換する第1のD/A変換器と、前記遅延回路の出力信号をアナログ信号に変換する第2のD/A変換器とを備え、前記第1のD/A変換器の出力を速度変調用信号として用い、前記第2のD/A変換器の出力を映像信号として用いるようにしたことを特徴とする速度変調用信号発生回路。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は、テレビジョン受像機の速度変調用信号発生器に関するものである。

## 従来の技術

近年、映像信号のデジタル信号処理が進み、その内で輝度信号を用いて、ブラウン管上で速度変

調が行われている。

以下図面を参照しながら、上述した速度変調回路の一例について説明する。第3図は従来のデジタルテレビの速度変調回路のブロック図を示すものである。第3図において、1は輝度信号処理回路、2は色差信号処理回路、3, 4はD/Aコンバータ、5はRGBマトリクス回路、6~8はディレイライン、9はCRTドライブ回路、10はブラウン管、11は位相補正回路、12は微分回路、13は速度変調(Velocity Modulation、以下、略してVMという)用のVMドライブ回路、14はVM用コイルである。

以上のように構成された回路について、その動作を説明する。まず、VM回路の動作を第4図をもとに説明する。第4図aに示されるように、D/Aコンバータ3でアナログに変換された輝度信号は、位相補正回路11で遅延時間を調節し、微分回路12で微分され、第4図bに示されるように時間がTdだけ遅れた波形となる。この信号をVMドライブ回路13に加え、VMコイル14

を驱动する。一方輝度信号は、RGBマトリクス回路5を通り、ディレイライン6～8によって、VM回路で遅延する時間Tdだけ時間調整され、第4図cに示されるようになる。また画面上において、VMドライブ回路が水平偏向電流を変調することになり、第4図dに示されるように、P点では、偏向速度を部分的に大きくして、CRT画面上での波形の立ち上りを急峻にし、Q点では、偏向速度を部分的に小さくして、CRT画面上での波形の立ち下りを急峻にし、結果として画面上で、第4図eに示されるような輪郭が補正された信号を得ることができる。

#### 発明が解決しようとする問題点

しかしながら、上述のような方法では、VM用回路、とくに、微分回路12、VMドライブ回路13によって、信号の遅延が発生し、VM動作を行おうとする信号に対して時間が遅れるための第3図6～8のように信号系にディレイラインを用いて、相互の遅延を補正している。しかしながら、ディレイラインを設けることによって、大型

部品の増加や信号の周波数特性の劣化等が発生することになり、構成および性能上の問題点を有していた。

本発明は、上記問題に鑑み、性能の劣化の少ない速度変調用信号発生回路を提供すること目的とするものである。

#### 問題点を解決するための手段

本発明においては、第1のデジタル信号とを一定時間遅延させる遅延回路と、この第1のデジタル信号をアナログ信号に変換する第1のD/A変換器と、前記の遅延回路の出力信号をアナログ信号に変換する第2のD/A変換器とを備え、第1のD/A変換器の出力を速度変調用信号として用い、第2のD/A変換器の出力を映像信号として用いるようにしたことを特徴とする。

#### 作用

本発明は、上述した構成によって、デジタル信号処理回路内で信号を遅延させる遅延回路と、輝度信号に対して、VM回路で遅延する時間だけ補正した信号をVM用信号として取り出し、D/A

コンバータでアナログ信号に変換することによって精度の高い信号を得ることができるものである。

#### 実施例

以下、本発明の一実施例のVM用信号発生回路について、図面を参照しながら説明する。

第1図は、本発明の一実施例のVM用信号発生回路の構成図を示すものである。第1図中のうち、第4図中と同じ番号を付したもののは同一の機能を示すものである。15、16はそれぞれ輝度信号処理回路1、色差信号処理回路2の出力デジタル信号を遅延する遅延回路、17はデジタル輝度信号をアナログ信号に変換するD/Aコンバータである。

第1図において、輝度信号処理回路1の信号は、VM用D/Aコンバータ17に加えられ、第2図aの信号を得る。この信号は、位相補正回路11、および微分回路12、VMドライブ回路13によって、第2図bに示されるように、時間Td遅延した波形となる。一方輝度信号は、遅延回

路15を介して、時間Tdだけ遅延され、D/Aコンバータ3を介して、RGBマトリクス回路5およびCRTドライブ回路9を介して、第2図cに示されるような波形でCRT10上に表示される。このとき、輝度信号とVM用信号の位相は、P'およびQ'にて合っているので、第2図dに示されるようにVMが効果的に動くようになる。また、第1図において遅延回路は、Tdが實際には、約70nS～150nS程度であるため、デジタル信号処理回路で用いられるクロックの周期を70nSとすると、1～2クロック分であり、ディレイ回路としては、小さくて済むことになる。

このように、デジタル輝度信号処理回路において、遅延回路を設け、VM用信号の遅延時間を考慮した信号を備え、VM用D/Aコンバータを用いることによって、信号系に何ら不安定なディレイラインを設けることなく、精度の高いVM用信号発生回路を得ることができる。

#### 発明の効果

以上のように、本発明によれば、デジタル遅延回路と、VM信号発生用D/Aコンバータを設けることによって、信号ラインの性能を劣化させることなく、時間調整された精度の高いVM用信号を得ることができる。

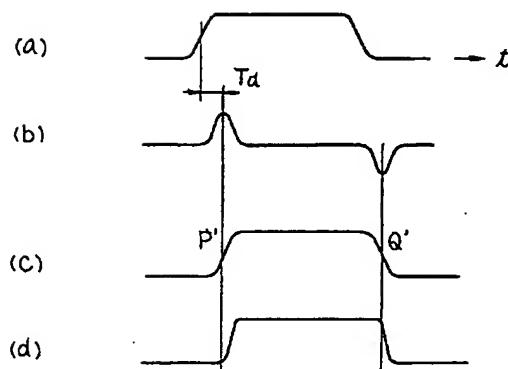
#### 4. 図面の詳細な説明

第1図は本発明の一実施例における速度変調用信号発生回路のブロック図、第2図はその動作説明図、第3図は従来例の速度変調用信号発生回路のブロック図、第4図はその動作波形図である。

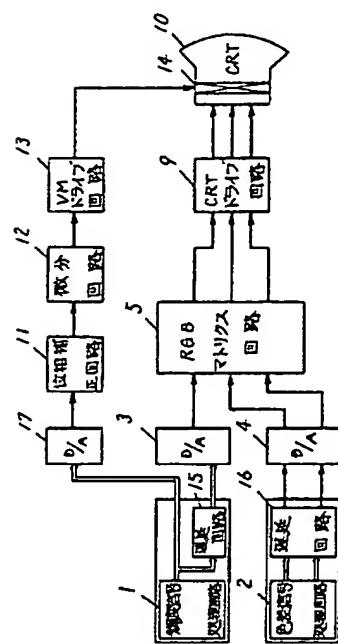
1 ……輝度信号処理回路、2 ……色差信号処理回路、3, 4, 17 ……D/Aコンバータ、  
15, 16 ……遅延回路。

代理人の氏名 井理士 中 尾 敏 男 ほか1名

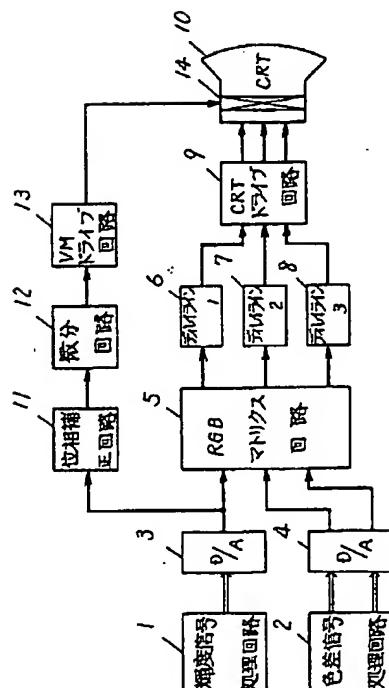
第2図



第1図



第3図



第 4 図

